ホワイトペーパー

データセンター内の448Gbpsチャネルにおける各種変調技術のパフォーマンス分析

molex

人工知能（AI）と機械学習（ML）は最近最も急速に成長しているテクノロジー分野であり、その成長によって、より新しく、より速く、より効率的なデータセンターインフラストラクチャーに対する需要がこれまでにない高まりを見せています。私たちが次世代の高速シリアル通信インターフェースに向けて前進する中で、ポートあたり3.2テラビットのイーサネットテクノロジーを可能にするには、実装面でいくつかの重要な課題に対処しなければなりません。この帯域幅を達成するには、224Gレーンの数を2倍に増やすか、各レーンの速度を向上させて448Gで動作させることが必要になります。

ますます高くなるAIのデータ処理レベルにデータセンターが対応するには、AIクラスターを拡大するだけでなく、各クラスター内でより多くのデータを転送する能力も必要です。クラスターが何百個または何千個ものノードに拡大するにつれて、これらの通信チャネル内では、インターコネクトファブリックが帯域幅制限の主要要因になります。銅線インターコネクトは、AIクラスターのスケールアウトに有効な選択肢として引き続き利用できますが、レーンあたり448Gでの銅線の使用には、コネクターの設計と構造に関連するシグナルインテグリティ（SI）について理解を深める必要があります。

Molexと世界的な大手半導体ベンダーが行った調査の結果を説明するこのホワイトペーパーでは、強い需要と高いデータレートを考慮した最適なパフォーマンスのために、データセンターやサポートコンポーネントを適切に設計する方法を検討していきます。本ペーパーでは特に、PAM-4、PAM-6、PAM-8の3つの変調オプションでの銅線インターコネクトの使用可能性を検証します。これは、最も大きな影響を及ぼす設計上の考慮事項の1つです。現在、業界規格団体ではこれらの変調オプションに関する議論が行われており、コネクター構造とインターコネクト設計に伴うシグナルインテグリティの課題は、最終的にどの変調オプションが448Gに実装されるかによって左右されます。

448Gでのシステムアーキテクチャー

シリアル通信プロトコルでのデータレートの増加により、データセンター全体でシステムアーキテクチャーが改革されつつあります。これまでの数十年間、データレートとチャネル帯域幅の要件は、パッケージやPCBで認識された損失を実質的に無視できるほど小さいものでした。つまり、サーバー対サーバーのインターコネクトの構築に必要なコネクターは、ASIC（Application Specific Integrated Circuit）またはプロセッサー周辺のどこにでも設置できたということです。

データレートが増加するにつれて、スケールアップ/スケールアウトアーキテクチャーの構築に使用されるケーブル付きコネクターの配置場所は、PCB損失を減らすためにASICまたはプロセッサーにだんだんと近づいていきました。今日最速のシリアルインターフェースを使用するシステムは、コパッケージドオプティクス（CPO）またはコパッケージド銅（CPC）を実装することでPCBを完全にバイパスします。これは、デバイス内、またはチップ間に超高速接続を提供するために、銅ケーブル（多くの場合、光ファイバーも）をチップパッケージに直接統合するテクノロジーです。コパッケージド銅では、これらのスケールアップ/スケールアウトコネクターがASICパッケージそのものに設置されており、データはtwinaxケーブル経由で外部I/Oまたはバックプレーンコネクターにルーティングされます（図1を参照）。

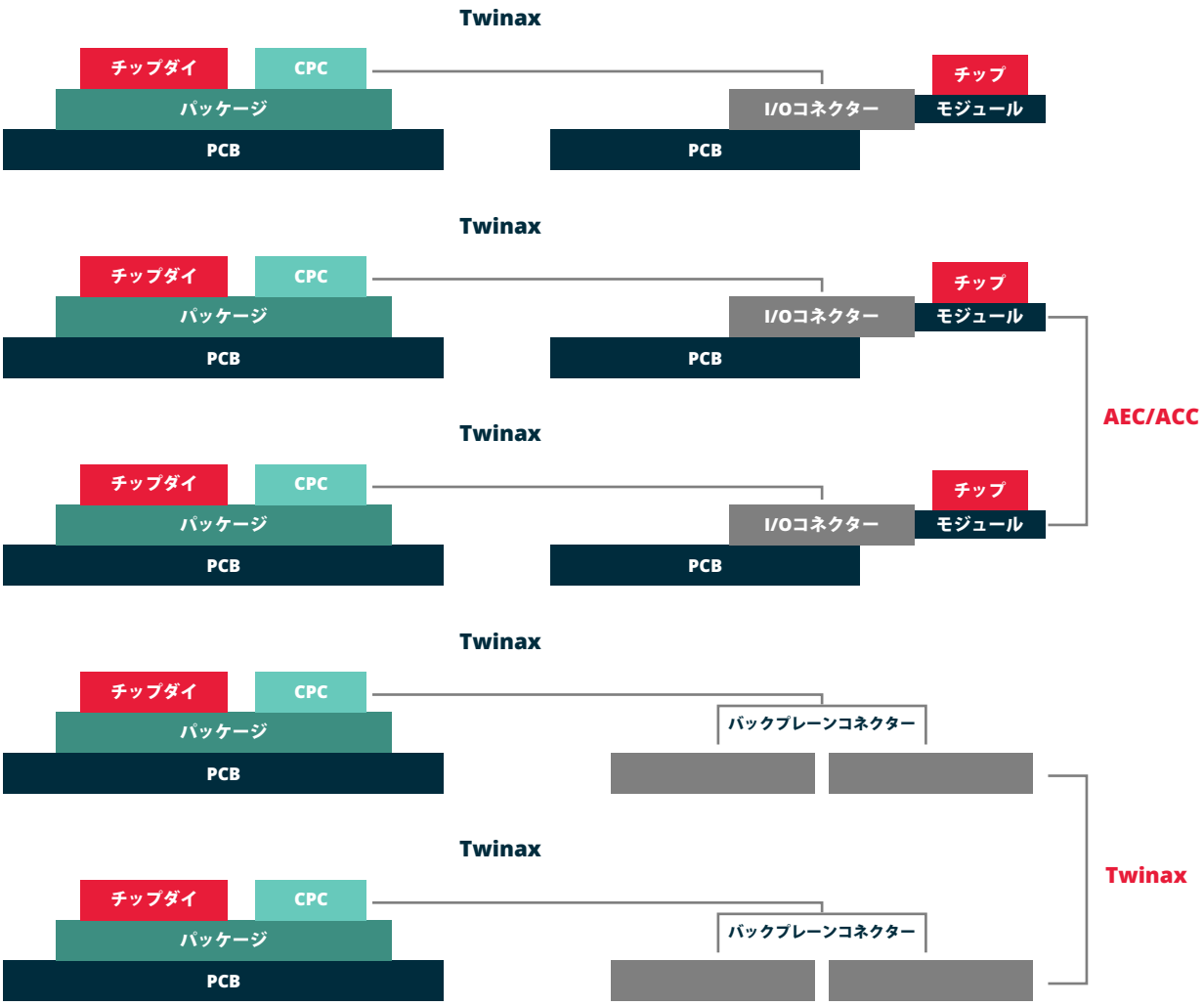

図1：一般的なスケールアップ/スケールアウトトポロジー

コパッケージド銅インターコネクト向けのコネクターは表面実装コンポーネントであるため、他の高密度で多極の表面実装デバイス（SMD）コネクターで見られるシグナルインテグリティの問題の影響を受けやすくなります。以下の要因のいずれかが、コパッケージド銅向けのコネクターにおける帯域幅制限の原因になり得ます。

- コネクター嵌合インタフェースおよびSMDマウントにおけるスタブ
- クロストークを抑制するためのI/Oピン間の絶縁
- コネクター上のSMDピンに配線される、パッケージ内での層間電気的接続を可能にする小さな穴（ビア）

これらの課題は通常、コネクターがPCB上に設置される場合、特にPCB上のビアと、標準のPCB素材が使用されている長いルート内での挿入損失が原因で悪化します。こうした設計要因が448Gでの変調オプションの使用をどの程度妨げるのかはまだわかっていません。このため、448Gチャネル向けのコパッケージド銅を用いた各種変調オプションの実行可能性を判断するために調査を行う必要があるのは明らかです。

448Gをサポートするコネクター設計に関する調査

Molexと世界的な大手半導体ベンダーが実施した本調査は、448Gチャネル向けの表面実装技術（SMT）コネクターとコパッケージド銅コネクターにおいてシグナルインテグリティに影響を及ぼす設計要因に焦点を当てたものです。コネクター設計が挿入損失帯域幅にどのように影響するのかに加えて、ノイズが高周波数での信号対ノイズ比にどのように影響するのかを具体的に検証します。つまり、この調査では、PAM-4、PAM-6、PAM-8の3つの変調オプションについて、448Gチャネルをサポートするための 表面実装コネクターまたはコパッケージド銅の使用可能性を評価します。

分析手法には、ボールグリッドアレイ（BGA）やコネクター実装などの設計内の各要素に理想チャネルモデルを使用することが含まれ、既存のテクノロジーでどの変調フォーマットを最も良くサポートできるかを判断します。

調査結果と結論

挿入損失とチャネルリーチ

最初に448GチャネルにおけるPAM-4、PAM-6、またはPAM-8の実行可能性を調べるには、挿入損失とチャネル帯域幅の観点からPCB配線のケースをコパッケージド銅と比較することが有意義です。予想した通り、初期の調査結果は、コパッケージド銅の損失よりもPCBチャネルの損失の方がはるかに高いことを示していました。これは、PCB上でのI/Oコネクターへの配線と、twinaxケーブル経由でのコパッケージド銅とI/Oコネクター間の配線を比較した図2で極めて明確に確認できます。

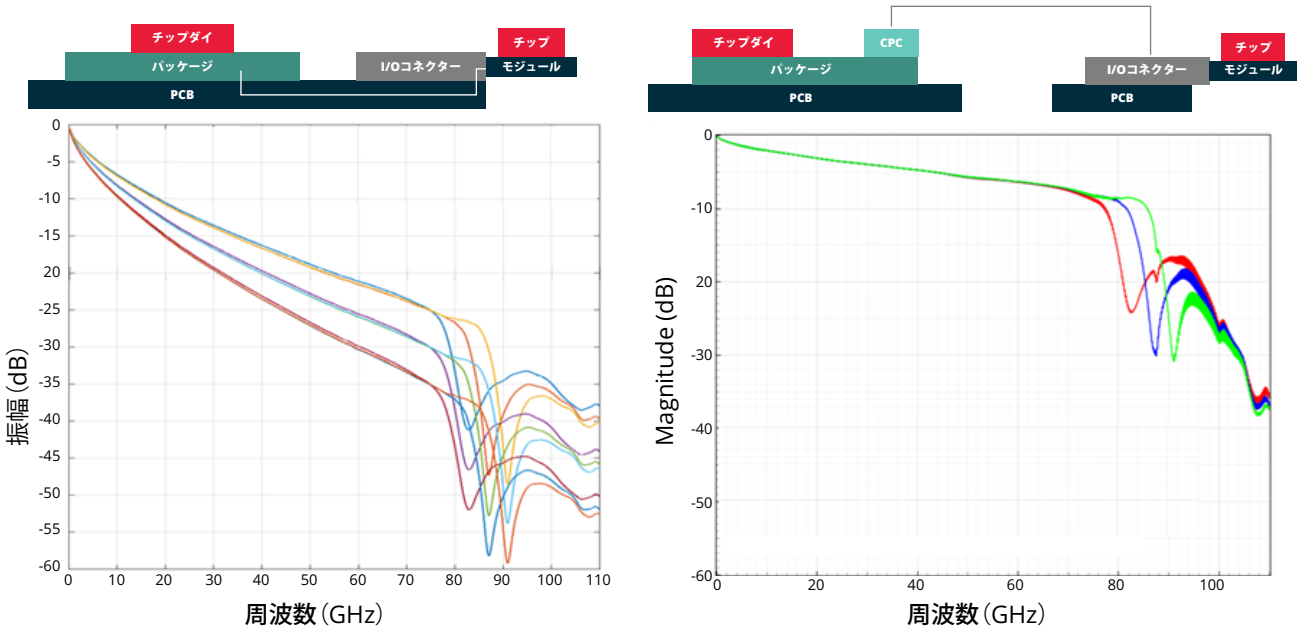

図2：PCB配線（左）とコパッケージド銅（右）での448Gチャネルにおける挿入損失の比較。

PCB配線と、twinaxを使用したコパッケージド銅の両方が、224Gbps-PAM-4の56GHzナイキスト周波数を超える十分な帯域幅を提供しているように見受けられますが、図2の左のグラフにあるように、PCB上での長距離配線では大きな損失が発生しています。コパッケージド銅チャネルは、同じ挿入損失でもPCBチャネルより長いリーチを可能にします。言い換えれば、PCBチャネルと同一のリーチでは、コパッケージド銅チャネルの方が挿入損失が低くなります。

最終的に、非線形の挿入損失が80GHz辺りで発生し、そこで急激なロールオフが起こることで、チャネル帯域幅が実質的にゼロになっています。twinaxケーブルを使用したコパッケージド銅をプロセッサーとI/Oコネクターの間に使用することで、224Gbps-PAM-4チャネルを可能にする56GHzナイキスト周波数超のチャネルリーチが大幅に向上します。しかし、どちらのオプションも、448GチャネルでのPAM-4の使用を可能にするために十分な帯域幅を提供しません。

図2にあるように、チャネル障害が原因でチャネルの帯域幅制限が大きく変動しているのがわかります。図3と図4は、図2に見られる変動を発生させる可能性のあるコネクター設計要因を示しています。図3と図4の結果から、コネクター嵌合インタフェースのスタブ長（図3）と、JリードのPCB実装方式関連のスタブ長（図4）における変化が、挿入損失スペクトルにどのように影響するのかがわかります。

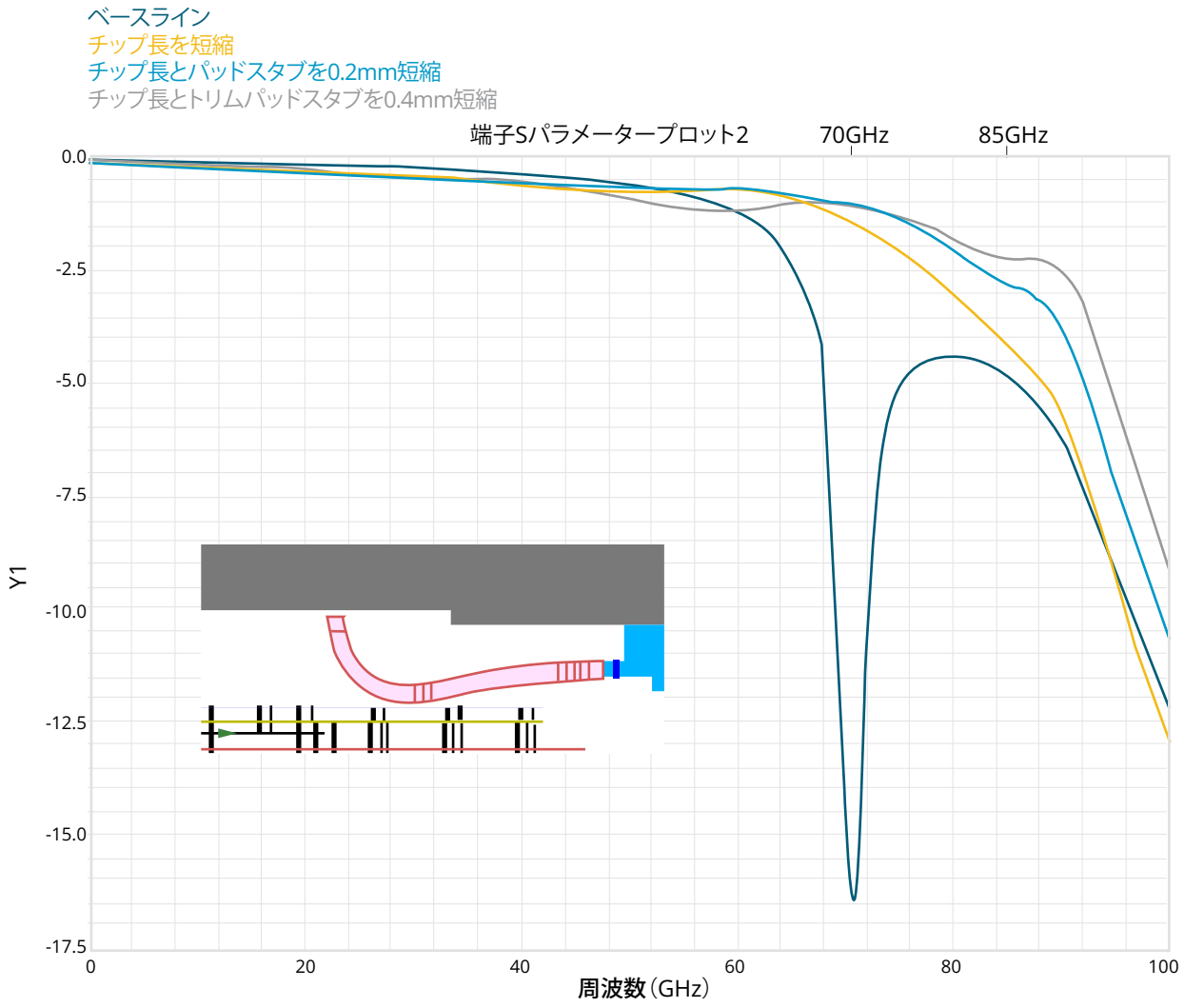

図3：挿入損失における変動

図3は、ベースライン設計（224Gbps-PAM-4チャネルでの使用に適したもの）がPAM-6またはPAM-8での448Gのサポートに失敗する可能性があることを示しています。これは、PAM-6またはPAM-8が、それぞれ最小90GHzまたは75GHzのチャネル帯域幅を必要とするためです。嵌合するコンタクトチップの長さと嵌合するパッドスタブのサイズが原因で、大幅な挿入損失が発生します。標準コネクター設計で両方の要素のサイズを縮小することで、銅チャネルが448Gbps-PAM-6または448Gbps-PAM-8をサポートできるレベルまで帯域幅を拡張できます。

図4は、コネクターのSMDパッド上のスタブサイズを変更することによる影響を示しています。SMDパッドのスタブ長を短くすると、チャネル帯域幅制限もより高い周波数に押し上げられます。

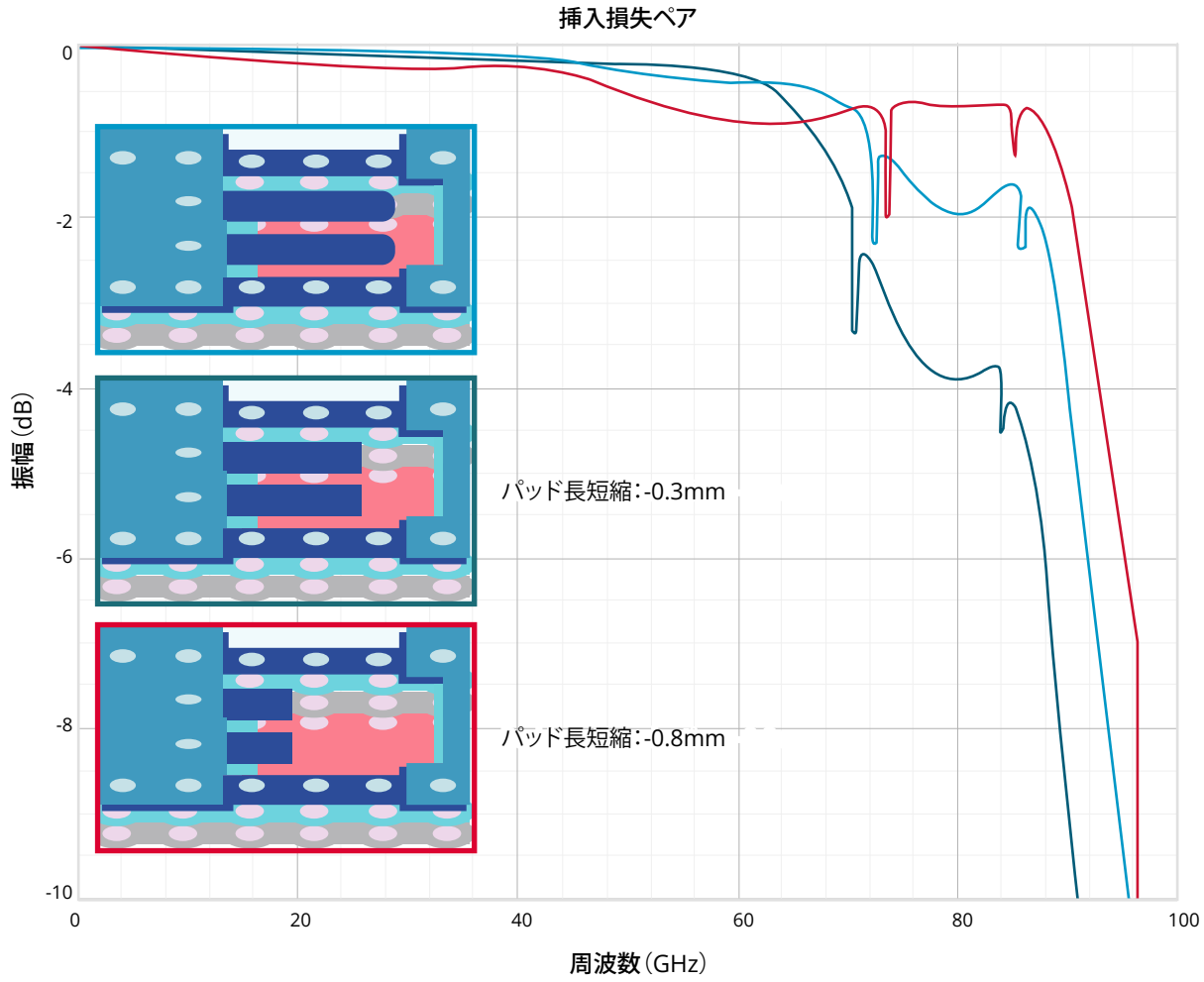

図4：ベースライン設計におけるSMDピンスタブ長の短縮がチャネル帯域幅を拡張する様子を示す挿入損失プロット。

より高い周波数に拡張されたチャネル帯域幅は、448Gbps-PAM-6および448Gbps-PAM-8の使用を可能にするのに十分な帯域幅です。これまで説明したすべての結果において、PAM-4は引き続きPCBおよびコパッケージド銅チャネルでの224Gに有用ですが、448Gに対しては有用ではありません。

クロストークとノイズ注入

高密度多極コネクターは、隣接するディファレンシャルペアを常に絶縁できるわけではないため、隣接するチャネル間における差動クロストークの影響を理解することが重要です。

図5と図6では、これらのチャネルにおける総ノイズバジェットに対するクロストークの影響をよりよく理解するために、挿入損失レベルと挿入損失ロールオフ周波数が異なるチャネルにおけるパワーサムクロストーク（PSNEXTおよびPSFEXT）ペナルティを示しています。各種変調に関連するボーレートも比較されています。

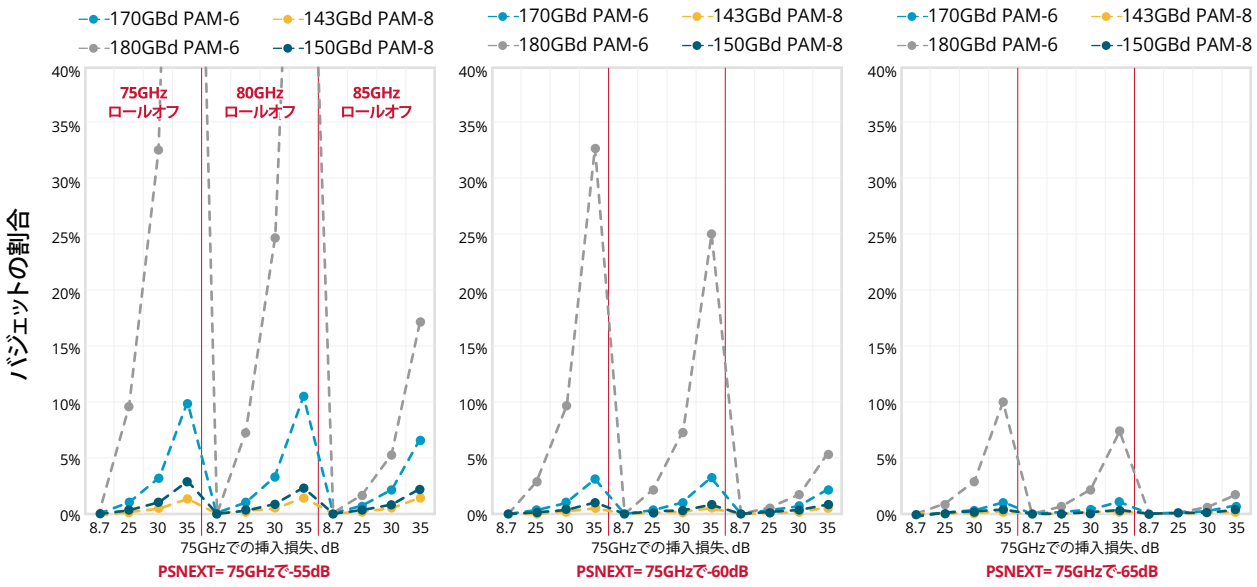

図5：PSNEXTレベルが異なる銅チャネルで消費された総ノイズバジェットの割合。

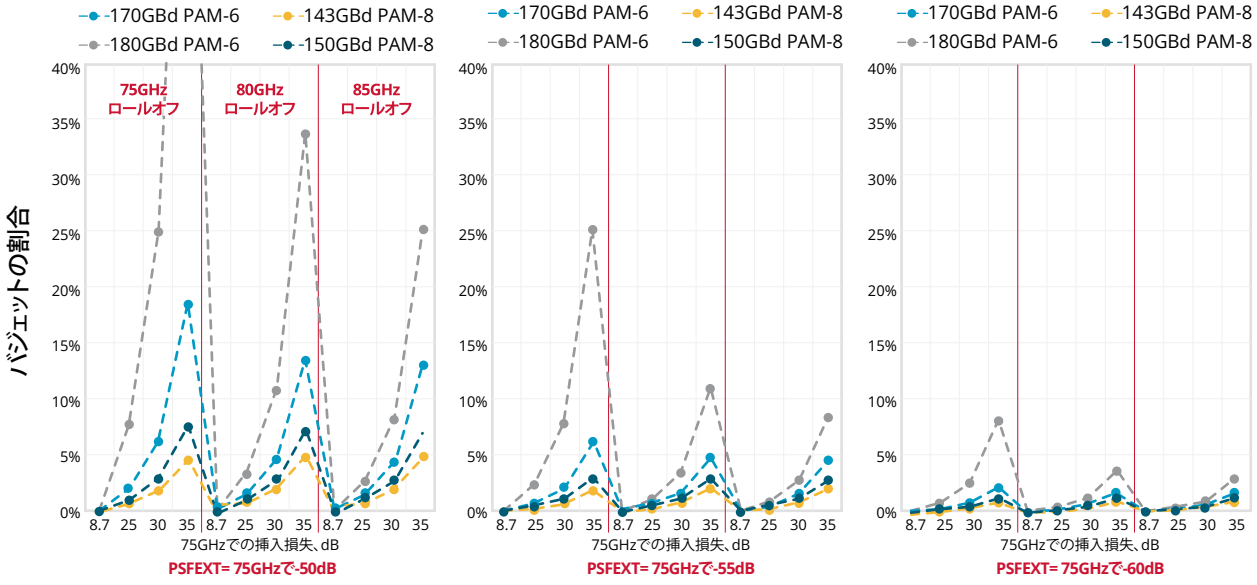

図6：PSFEXTレベルが異なる銅チャネルで消費された総ノイズバジェットの割合。

これらのグラフは、クロストークによるノイズペナルティを信号対ノイズ比と信号帯域幅の関数として表しています。これらは、所与の信号レベルに対して、クロストークレベルの減少と共にノイズペナルティが低減することを実証しています。また、所与のクロストークレベルに対し、ノイズペナルティと信号損失が共に増加することも実証しています。コパッケージド銅チャネルは、PCBベースのチャネルよりも信号損失が少なく、パフォーマンスも優れています。PAM-6変調では、PAM-8変調よりもノイズペナルティが高くなっています。これは、PAM-6の90 GHzでのクロストークレベルが、PAM-8の75GHzでのレベルよりも大幅に高いという事実によるものです。

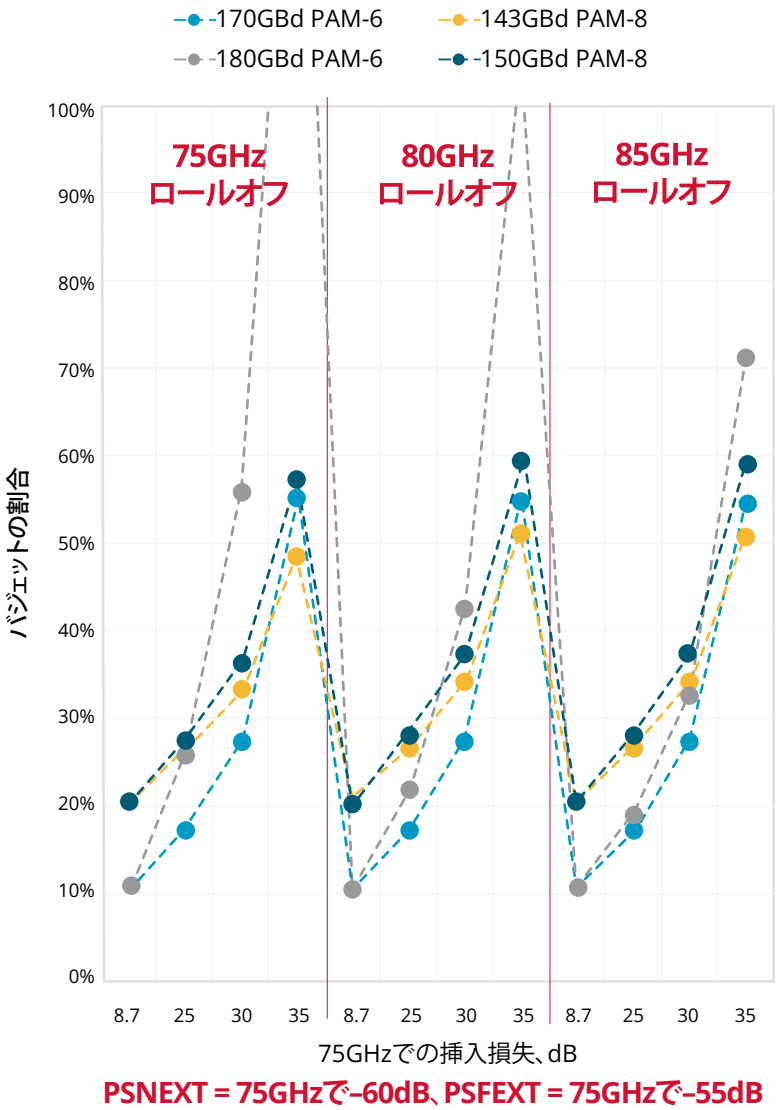

図7：PSNEXT値とPSFEXT値の組み合わせに基づいて、各変調で各種チャネルが消費したノイズバジェット。

最後に、信号損失とクロストークが各チャネルの総ノイズにどのように影響するのかを確認します。PAM-6の動作に十分なチャネル帯域幅がある場合のパフォーマンスは、PAM-6変調がPAM-8変調よりも優れています。いずれの変調でも、チャネルリーチを向上させるには、クロストークの低減において、448Gをサポートするためにコパッケージド銅を拡張できる新しいシールド手法と新しい嵌合インタフェーステクノロジーが必要になります。

448Gに向けた道のり

コパッケージド銅は、主な帯域幅制限要因の1つを排除します。それは、半導体デバイスパッケージとPCB内のBGAフットプリント間におけるインターフェースです。このインターフェースを通過する信号は、PCBビアと損失の多いPCB素材（材料自体の誘電損失が原因で高周波数信号を減衰させる誘電体）を経由する必要があります。これらはどちらも信号伝播を制限します。コパッケージド銅は、このインターフェースをバイパスし、配線をパッケージ内に維持するため、今度はコネクター構造が主な帯域幅制限要因になります。

448Gデータレートのサポートにコパッケージド銅を選択することで、コネクターの設計と構造に関連する新たな課題が発生します。

- コネクター内の分離可能な嵌合インタフェースには、大幅な挿入損失を引き起こすスタブが含まれている場合がある。
- コネクターでJリード実装方式が使用される場合は、ビアと表面実装パッドスタブの最小化が必要になる。
- twinaxケーブルを使用する場合は、twinaxへのコネクタートランジションに広範な帯域幅が必要になる。

この詳細な調査では、銅チャネルが448GチャネルでのPAM-6およびPAM-8変調をサポートするために十分な帯域幅を提供できること、PAM-8が最小帯域幅のチャネルに適していることがわかりました。しかし、クロストークとイコライゼーションに関するシグナルインテグリティの問題がまだ残っています。

- コネクター構造によって、448Gチャネルにおける挿入損失共振とクロストークを改善できるか？
- 新しいイコライゼーションスキームで、448Gチャネルにおける非線形挿入損失と高クロストークの影響を低減できるか？

448G、そしてそれ以上のデータレートでの高忠実度データ転送を確実にするためにも、これらの課題に対処する必要があります。

次世代の接続を形作る

112Gと224Gの速度における実績あるリーダーシップを基盤とするMolexは、広範囲に及ぶ調査と深いエンジニアリング専門知識を通じて448Gインターコネクトテクノロジーの土台を築いています。Molexは、コネクターアーキテクチャーとシグナルインテグリティを進化させることで、データセンターが情報をより迅速に移動できるように支援し、より優れた信号明瞭性によってAIを活用する新たなデータ環境のパフォーマンス要求を満たしています。

次世代データセンターのためのシステムアーキテクチャー、シグナルインテグリティ、設計戦略を含めた最新の224Gソリューションの詳細については、「224Gbps-PAM-4高速伝送用データセンターテクノロジー」ページをご覧ください

Molexは、米国におけるMolex, LLCの登録商標であり、その他の国でも登録されている場合があります。本文書に記載されているその他すべての商標は、それぞれの所有者に帰属します

文献番号987652-8772 USA/SK/07/2025

©2025 Molex